

**Síntese e Análise de uma Unidade Lógica Aritmética (ULA)**

Laboratório 4 (Circuitos Digitais I)

Abril, 2019

Turma 1COMP

# Adriano Soares Rodrigues, Matheus Vidal de Menezes e [Pedro Alves de Souza Neto](http://www.aeitaonline.com.br/wiki/index.php?title=Pedro_Alves_de_Souza_Neto)

Prof.º Osamu Saotome

Instituto Tecnológico de Aeronáutica (ITA)

São José dos Campos, São Paulo, Brasil.

{sadrianorod, [matheusvidaldemenezes, alvesouza.pedro97@gmail.com}@gmail.com](mailto:matheusvidaldemenezes,%20alvesouza.pedro97@gmail.com%7d@gmail.com)

1. **Introdução**

Com o progresso tecnológico dos transístores, criou-se a famosa família de circuitos integrados TTL, Transistor-Transistor Logic, responsáveis pelo desenvolvimento de portas lógicas, que, na verdade, são circuitos transistorizados, tecnologia essencial para o surgimento dos computadores pessoais (Personal Computer - PC) de hoje.

1. **Objetivo**

O objetivo da quarta prática laboratorial de EEA-21 Circuitos Digitais mostra-se de grande importância. Isso, porque introduz novos circuitos e, como nas práticas anteriores, trata da familiarização das portas lógicas estudadas teoricamente e do aprendizado quanto a utilização destas em simulações, via o *software* *Quartus*® *13.01*, de circuitos integrados de uma Unidade Lógica Aritmética (ULA).

1. **Tarefas**

**Problema 5.1)**

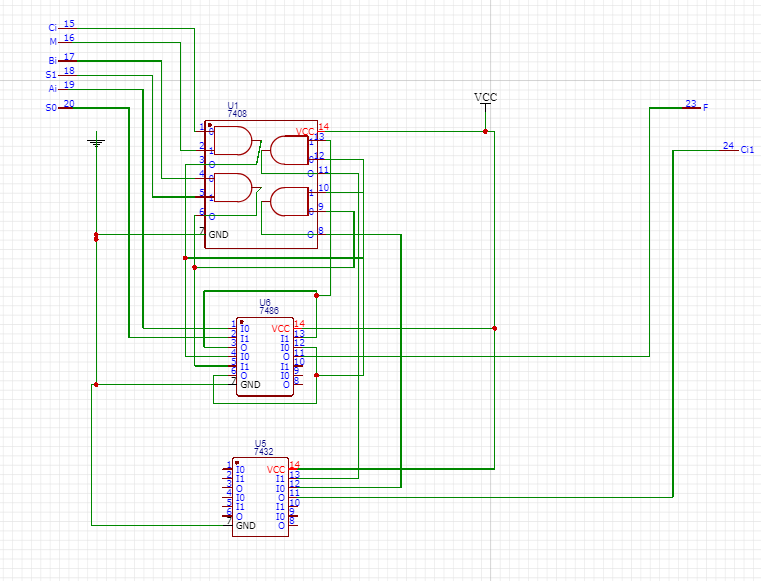


Figura 1. Esquema do circuito projetado para a célula básica da ULA para o problema 5.1.

Foi verificada a validade da tabela, pelo circuito feito. Obtivemos a seguinte tabela verdade:

Tabela 1. Tabela verdade para a ULA de 1 bit do problema 5.1.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |

O resultado foi mostrado para o professor Osamu durante a pratica de laboratório e aprovada por ele.

**Problema 5.2)**

Para que o circuito funcionasse como pedido, *i.e.*, com uma única chave para comutar entre a operação de soma e de subtração, foi implementada uma inversão na entrada para que as chaves seletoras , , e funcionassem, conforme a Tabela 2:

Tabela 2. Tabela verdade para fazer o chaveamento.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  |  |  | **Operação** |
| 0 |  |  |  |  | Soma |
| 1 |  |  |  |  | Subtração |

Note que para soma, temos (,,,) = (1,0,0,1), e para subtração, (,,,) = (0,1,1,0), o que está de acordo com a tabela verdade da ULA 74181 escolhida.

Assim, o circuito implementado está representado na Figura 2.

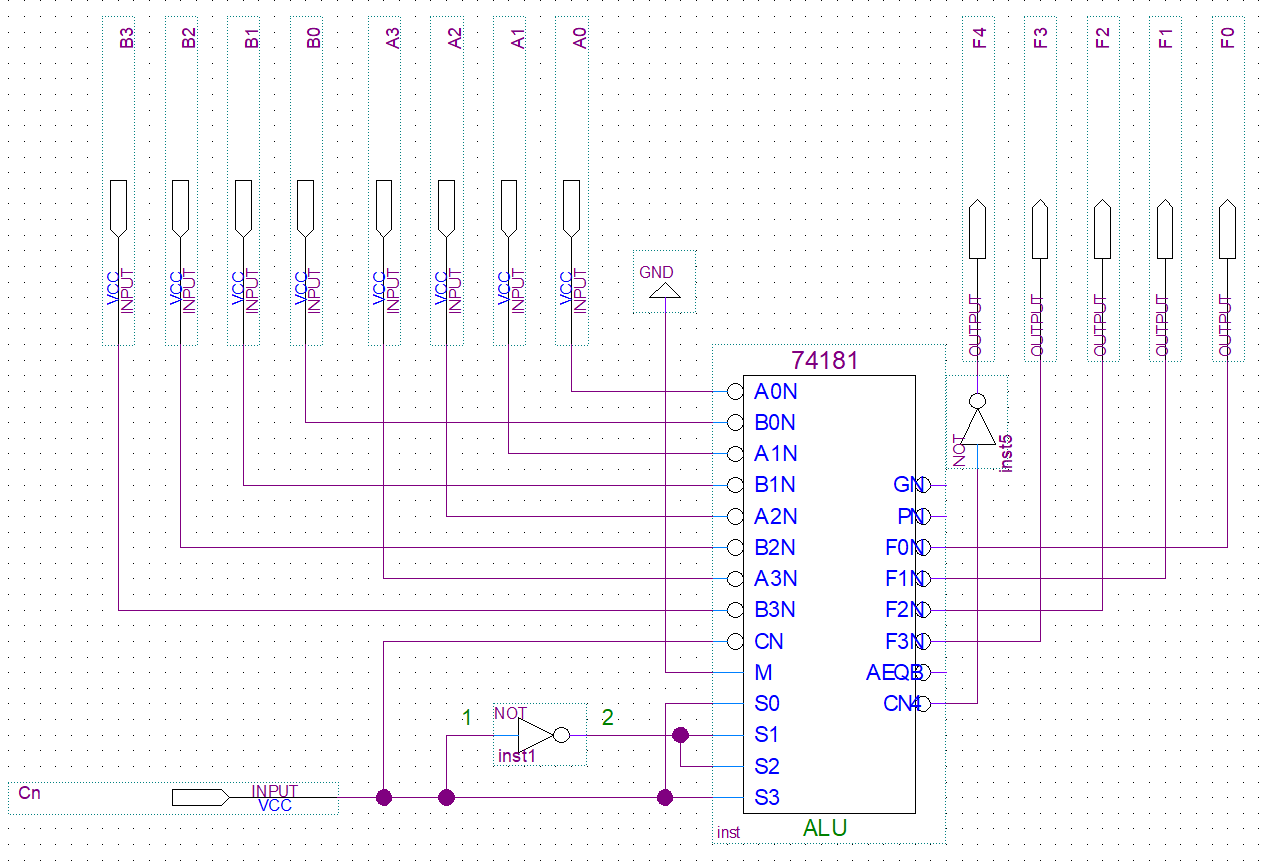


Figura 2. Esquema do circuito projetado, utilizando a ULA 74181 para o problema 5.2.

Para as somas/subtrações pedidas, obtivemos como simulação:

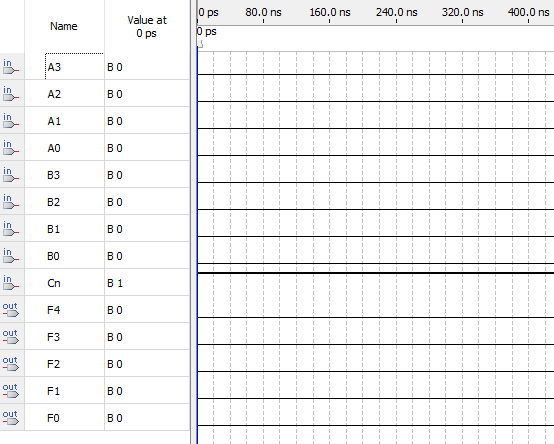


Figura 3. Resultado da simulação de com a ULA 74181.

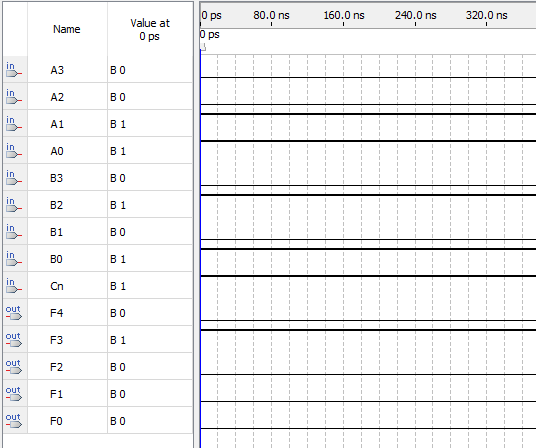


Figura 4. Resultado da simulação de com a ULA 74181.

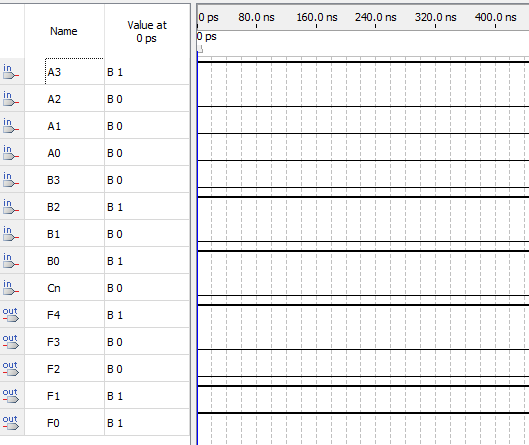


Figura 5. Resultado da simulação de com a ULA 74181.

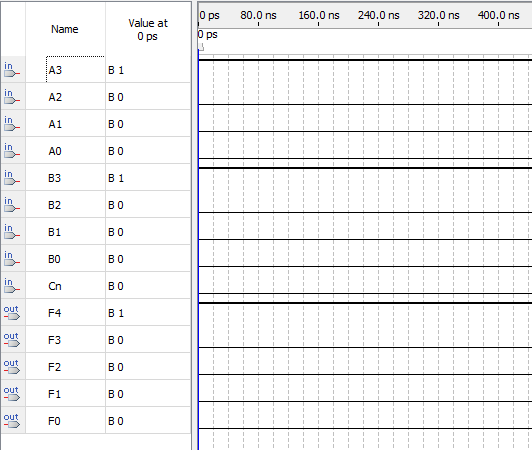


Figura 6. Resultado da simulação de com a ULA 74181.

Todos os resultados obtidos em simulação corroboram para o esperado teoricamente.

Todos os resultados obtidos em prática experimental em laboratório também corroboraram para o esperado teoricamente. Tais resultados foram mostrados para o Profº. Osamu.

**Problema 6.1)**

1. Seguem as tabelas verdades para cada operação:

* Operações Lógicas, :

Tabela 3. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |



Tabela 4. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |



Tabela 5. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  | **+B** |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 0 |



Tabela 6. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |

* Operações Aritméticas, :
* :

Tabela 7. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 0 |



Tabela 8. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |



Tabela 9. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |



Tabela 10. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

* :

Tabela 11. Tabela verdade para a operaçãoda ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |



Tabela 12. Tabela verdade para a operaçãoda ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |



Tabela 13. Tabela verdade para a operaçãoda ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 1 | 1 |



Tabela 14. Tabela verdade para a operação da ULA de 1 bit desejada no problema 6.1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A** |  |  |  |  |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 | 1 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |

1. Para a implementação da ULA de 1 bit fornecida, foram, antes implementadas as funções de soma e subtração de 1 bit: somador (Figura 7) e subtrator (Figura 8).

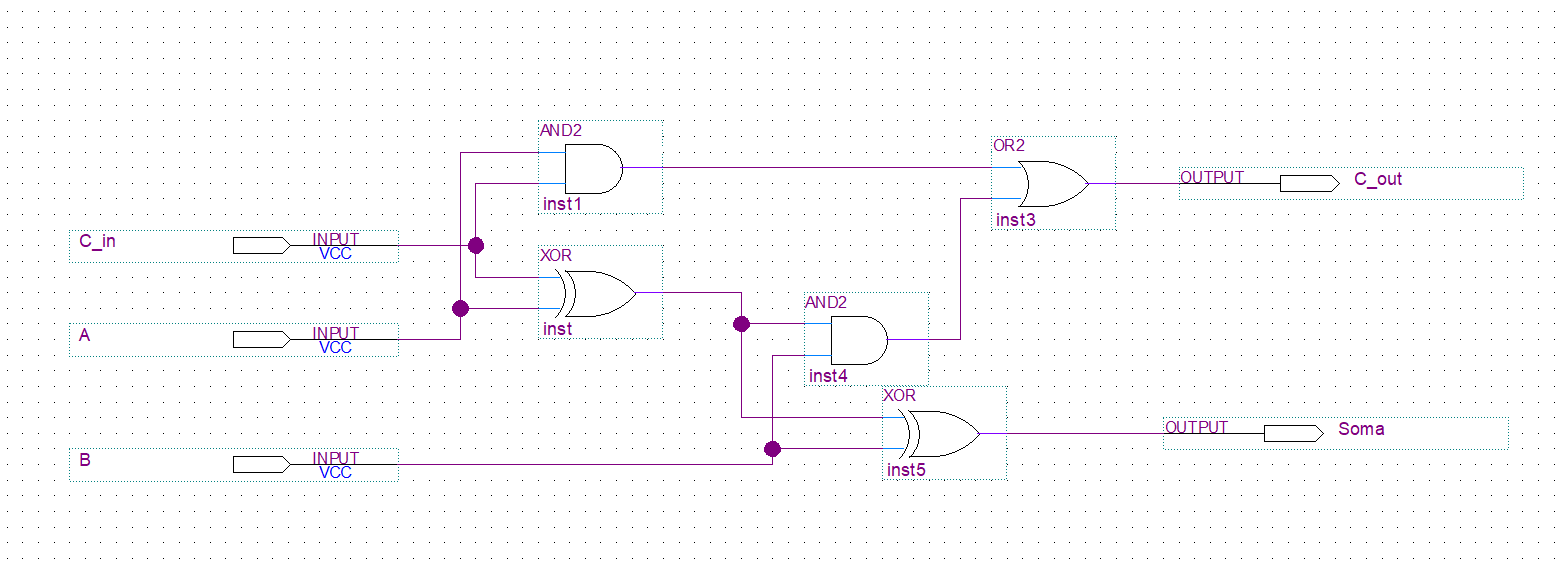


Figura 7. Somador completo de 1 bit implementado.

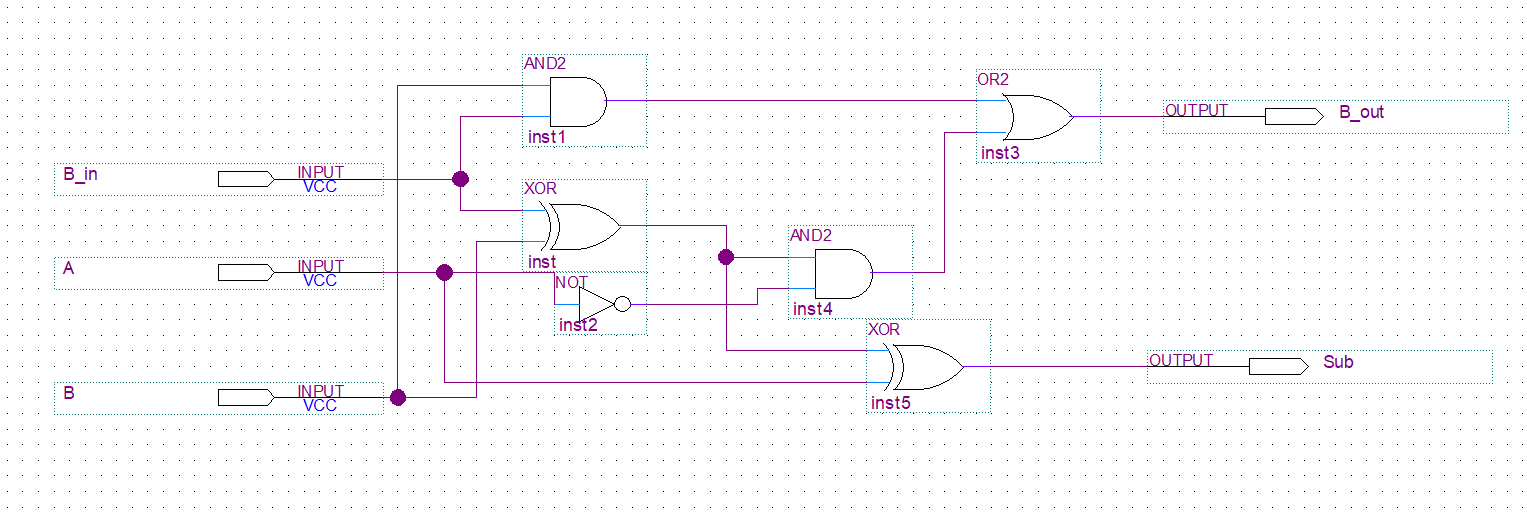


Figura 8. Subtrator complete de 1 bit implementado.

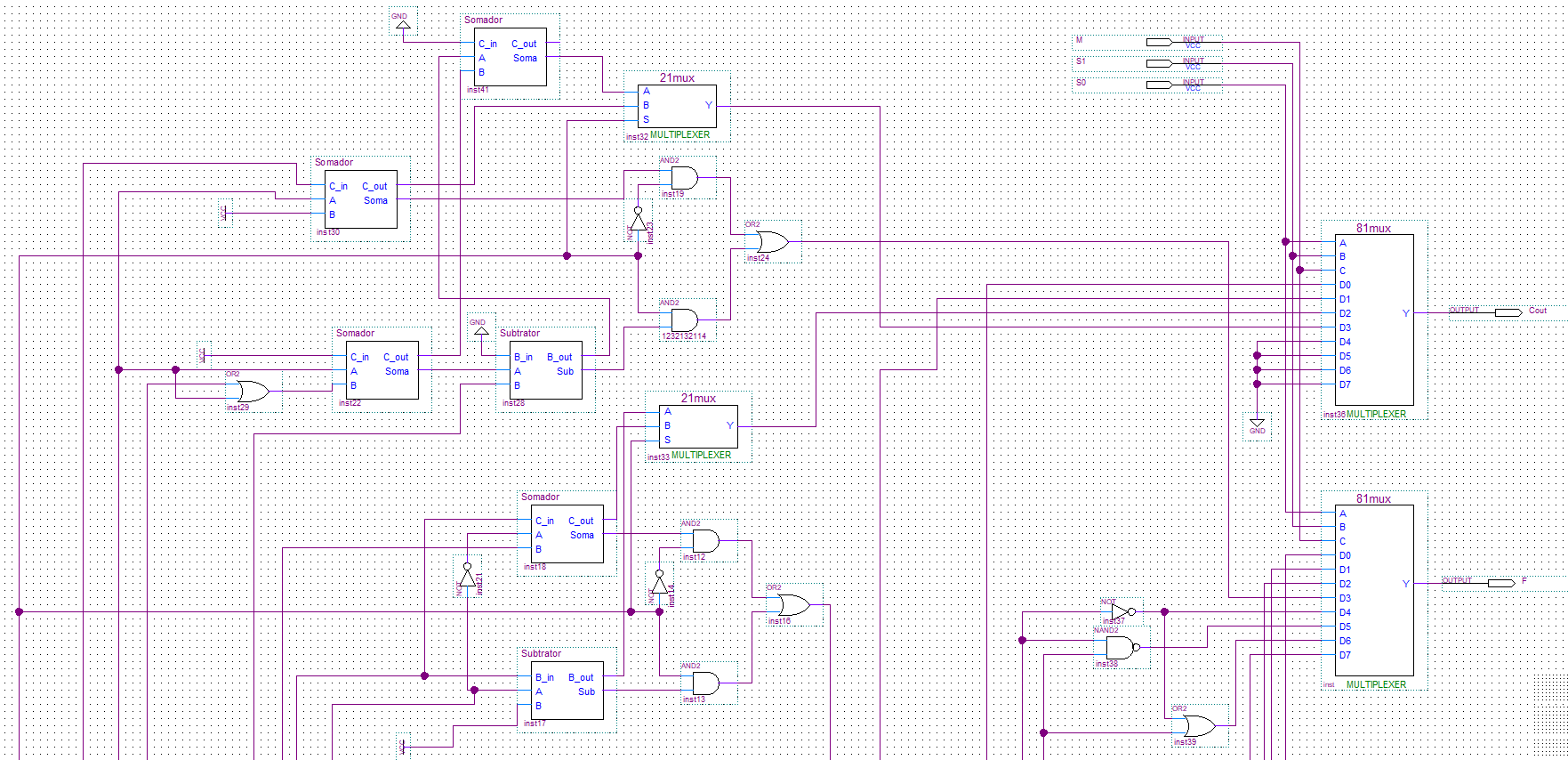
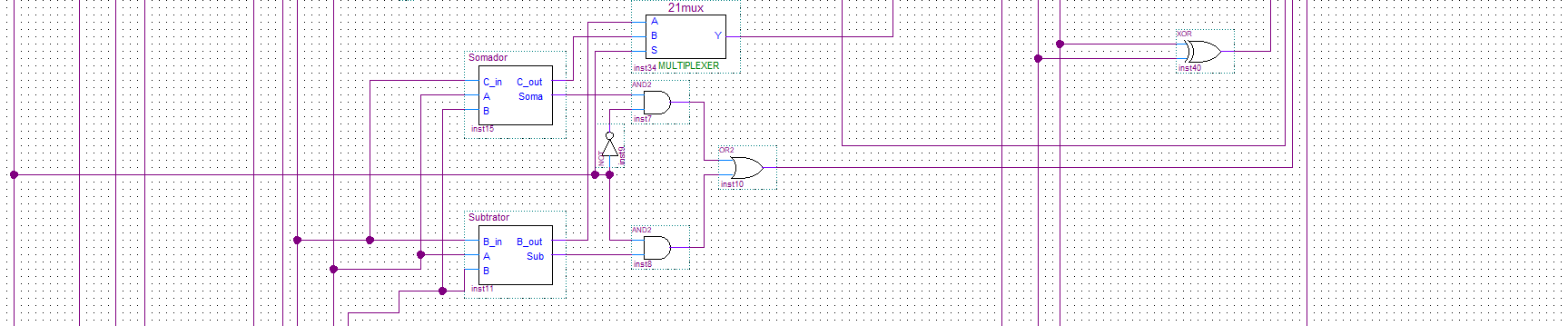
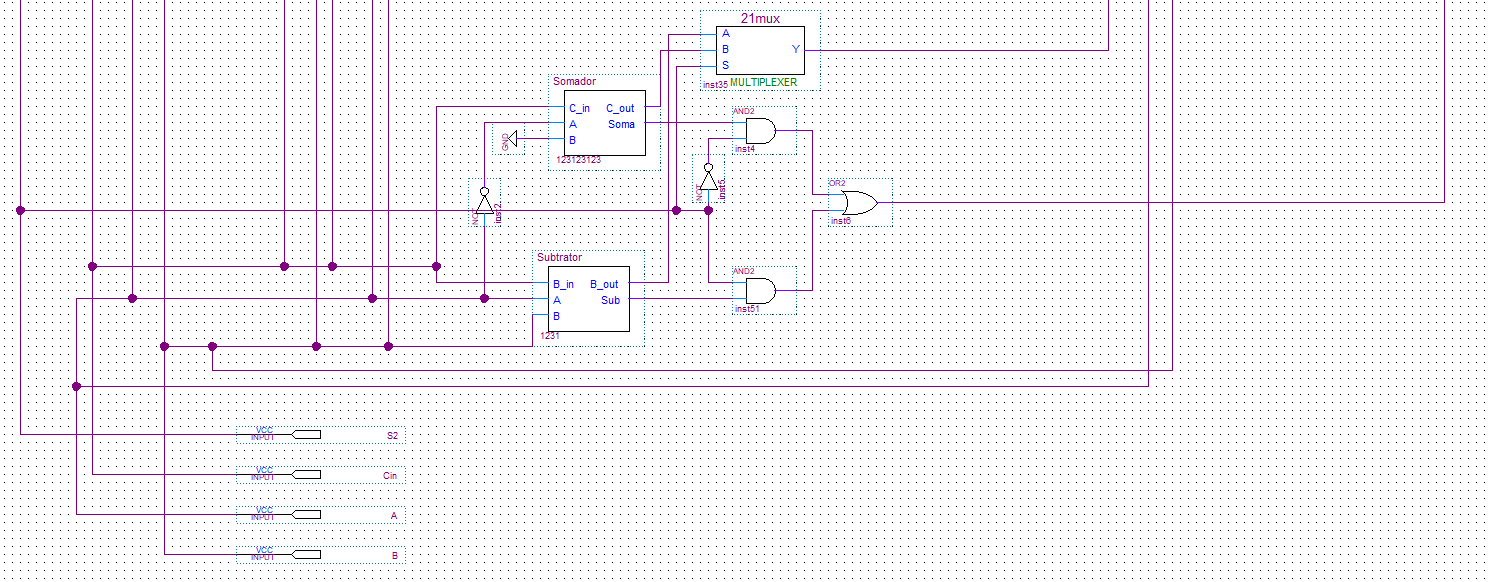
Dado o tamanho do circuito, dividimos em três pedaços em um (Figura 9), conforme abaixo. Para melhor visualização, favor dar em pelo menos 200%.

Figura 9. Esquema do circuito projetado para a célula básica da ULA, utilizando MUX 8x1, do problema 6.1.

**Problema 6.2)**

* Operações Lógicas, :

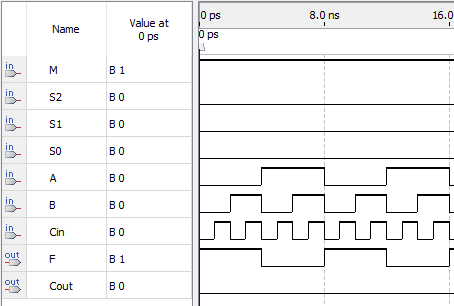


Figura 10. Resultado da simulação para (M, , , ) = (1,X,0,0).

Note que o resultado está de acordo com o esperado, conforme a Tabela 3.



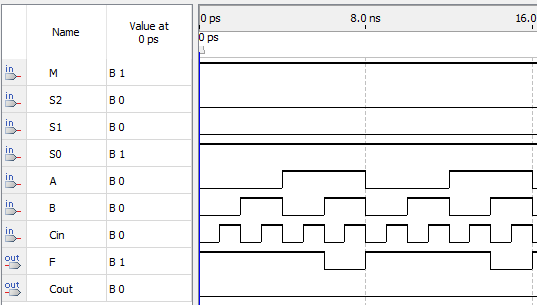


Figura 11. Resultado da simulação para (M, , , ) = (1,X,0,1).

Note que o resultado está de acordo com o esperado, conforme a Tabela 4.



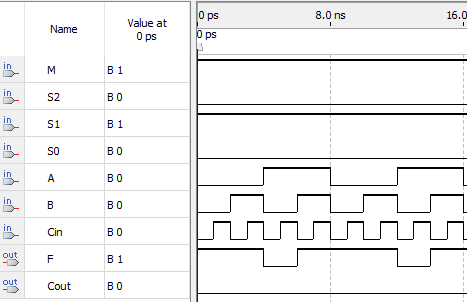


Figura 12. Resultado da simulação para (M, , , ) = (1,X,1,0).

Note que o resultado está de acordo com o esperado, conforme a Tabela 5.



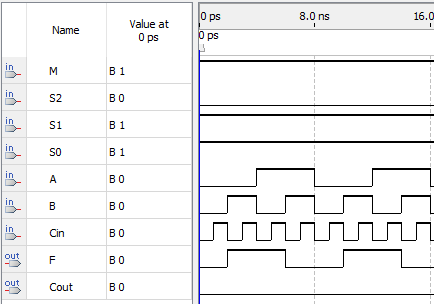


Figura 13. Resultado da simulação para (M, , , ) = (1,X,1,1).

Note que o resultado está de acordo com o esperado, conforme a Tabela 6.

* Operações Aritméticas, :
* :

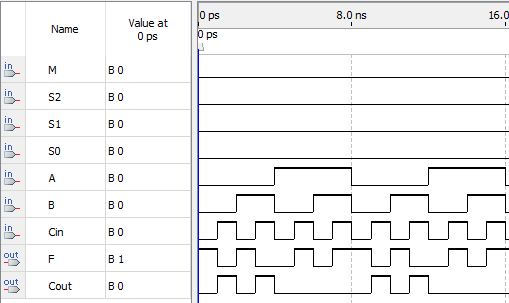


Figura 14. Resultado da simulação para (M, , , ) = (0,0,0,0).

Note que o resultado está de acordo com o esperado, conforme a Tabela 7.



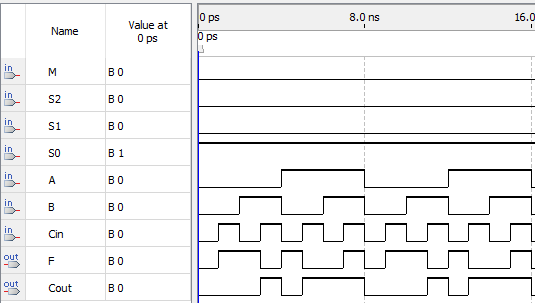


Figura 15. Resultado da simulação para (M, , , ) = (0,0,0,1).

Note que o resultado está de acordo com o esperado, conforme a Tabela 8.



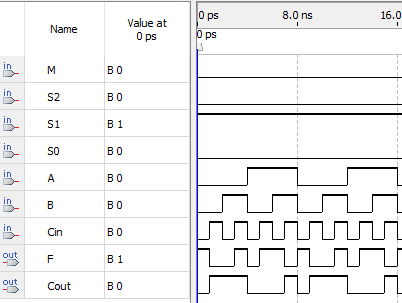


Figura 16. Resultado da simulação para (M, , , ) = (0,0,1,0).

Note que o resultado está de acordo com o esperado, conforme a Tabela 9.



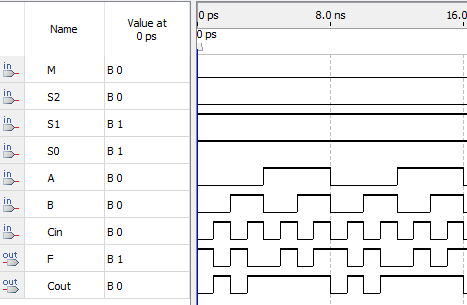


Figura 17. Resultado da simulação para (M, , , ) = (0,0,1,1).

Note que o resultado está de acordo com o esperado, conforme a Tabela 10.

* :

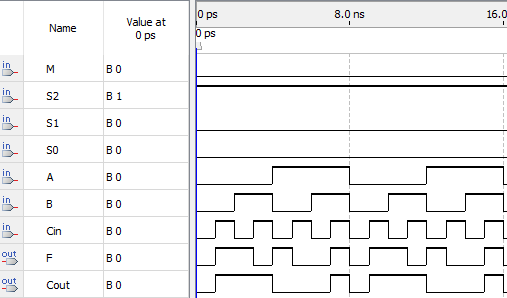


Figura 18. Resultado da simulação para (M, , , ) = (0,1,0,0).

Note que o resultado está de acordo com o esperado, conforme a Tabela 11.



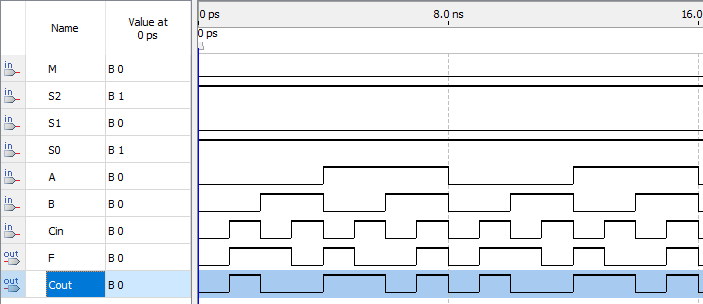


Figura 19. Resultado da simulação para (M, , , ) = (0,1,0,1).

Note que o resultado está de acordo com o esperado, conforme a Tabela 12.



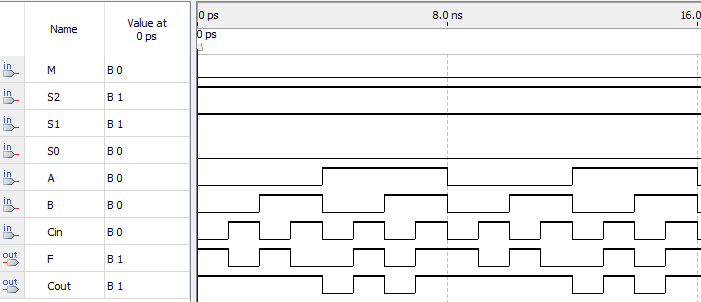


Figura 20. Resultado da simulação para (M, , , ) = (0,1,1,0).

Note que o resultado está de acordo com o esperado, conforme a Tabela 13.



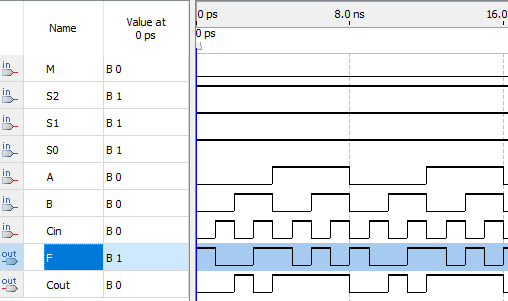


Figura 21. Resultado da simulação para (M, , , ) = (0,1,1,1).

Note que o resultado está de acordo com o esperado, conforme a Tabela 14.

**IV. Conclusão**

As atividades laboratoriais desenvolvidas bem como o aprendizado na utilização do software *Quartus*® *13.01* foram de grande importância para desenvolver os conhecimentos teóricos e práticos a respeito dos circuitos digitais, principalmente sobre o funcionamento e o projeto de Unidades Lógica e Aritmética (ULA).

Do experimento realizado, foi possível, embora toda simplicidade em sua metodologia, conseguir obter resultados coerentes com a teoria de circuitos digitais. Além disso, tanto o , quanto as técnicas aplicadas foram de grande importância para o aprendizado da frente de EEA-21.